

TABLE DES MATIERES

CHAPITRE I - Outils de développement (IDE)	15
1. LE ROLE D'UN IDE	15
2. CARACTERISTIQUES GENERALES D'UN IDE	15
3. CREATION ET GESTION DE PROJET	18
3.1 Les fichiers d'un projet	18
3.2 Les principales étapes de gestion d'un projet	19
4. LES AVANTAGES D'UN IDE	22
4.1 Choix du composant cible	22
4.2 Les contraintes	22
4.3 Règles de conception	23
5. EXEMPLE D'UN IDE : Quartus II de Altera	23
CHAPITRE II - Représentation des nombres et calculs	25
1. REPRESENTATION DES NOMBRES	25
1.1 Principe	25
1.2 Les bases usuelles	25
1.3 Changements de base	26
2. REPRESENTATION ET STOCKAGE DES NOMBRES BINAIRES	27
2.1 Codage binaire naturel ou nombres binaires non signés	27
2.2 Nombres binaires signés en représentation en complément à 2	28
2.3 Nombres binaires fractionnaires	32
2.4 Code BCD	33
2.5 Code ASCII	34
2.6 Nombres binaires en virgule fixe	34
2.7 Nombres binaires en virgule flottante	35
3. STOCKAGE DES INFORMATIONS BINAIRES EN MEMOIRE	40
3.1 Stockage	40
3.2 Interprétation des nombres binaires	41
4. CALCUL	41
4.1 Introduction	41
4.2 Addition et Soustraction des nombres binaires	41
4.3 Multiplication et division des nombres binaires	54
4.4 Addition, soustraction des nombres BCD	55
4.5 Addition, soustraction, multiplication et division des nombres en virgule flottante	58
5. EXERCICES	61
5.1 Conversions de nombres	61
5.2 Interprétation des nombres binaires	61
5.3 Calculs	61
5.4 Eléments de correction	63

CHAPITRE III -Rappels sur la Logique Combinatoire **73**

1. DEFINITIONS ET APPROCHE CLASSIQUE DE LA LOGIQUE COMBINATOIRE	73
1.1 Les états logiques	73
1.2 Variables logiques	73
1.3 Opérateurs logiques de base (NON, ET et OU)	73
1.4 Algèbre de Boole	74
1.5 Opérateurs usuels (NON-ET, NON-OU et OU-EXCLUSIF)	74
1.6 Fonction logique	76
2. TABLE DE VERITE DE BASE	76
2.1 Définitions	76
2.2 Caractéristiques d'une table de vérité	78
3. SIMPLIFICATION DE FONCTION COMBINATOIRE	78
4. DESCRIPTION DES FONCTIONS DE MOYENNE COMPLEXITE	79
4.1 Multiplexage	79
4.2 Transcodage	80
4.3 Calcul arithmétique	81
5. DEFINITIONS ET APPROCHE EVOLUEE DE LA LOGIQUE COMBINATOIRE	83
5.1 Notation	84
5.2 Opérateurs	84
5.3 Table de vérité à variables introduites	85
6. OPERATEURS ET FONCTIONS COMBINATOIRES COURANTES DANS LE CONTEXTE D'UN IDE	90
6.1 Les opérateurs dans le contexte d'une IDE	90
6.2 Réalisation des fonctions combinatoires	91
7. EXERCICES	100
7.1 Table de vérité à variables introduites	100
7.2 Réalisation de fonctions logiques	101
7.3 Eléments de correction	103

CHAPITRE IV - Rappels de la logique séquentielle de base **109**

1. LA LOGIQUE SEQUENTIELLE	109
1.1 Définition	109
1.2 Schéma de principe	109
1.3 Types de mémoire	109
2. LES BASCULES	110
2.1 Bascule Asynchrone : bascule RS	110
2.2 Bascules synchrones	112
3. LES SYSTEMES SEQUENTIELS SYNCHRONES SIMPLES	115
3.1 Structure générale	115
3.2 Méthode d'étude des systèmes séquentiels simples	115
3.3 Application de la méthode d'étude	116
4. LES GENERATEURS SYNCHRONES DE SEQUENCES SIMPLES	120
4.1 Compteur / décompteur modulo 2^n simple	120
4.2 Compteur-décompteur généralisé modulo 2^n	128
4.3 Générateur de séquences quelconques simples	132

	11
5. EXERCICES	136
5.1 Application de la démarche de synthèse des systèmes séquentiels synchrones simples	136
5.2 Eléments de correction	137
<hr/>	
CHAPITRE V - Structure matérielle et schéma temporel des CPLD et FPGA	141
1. STRUCTURE ET FONCTIONNEMENT DES CIRCUITS LOGIQUES PROGRAMMABLES	142
1.1 Structure et fonctionnement des SPLD	142
1.2 Structure et fonctionnement des CPLD	143
1.3 Structure et fonctionnement des FPGA	144
2. AUTRES INFORMATIONS SUR LES CIRCUITS LOGIQUES PROGRAMMABLES	146
2.1 Intégration de fonctions supplémentaires dans les circuits logiques programmables	146
2.2 Programmabilité et points de connexions	147
2.3 Critères de choix CPLD – FPGA	148
2.4 Quelques fabricants de CPLD et FPGA	149
3. SCHEMA TEMPOREL DES CPLD et FPGA	149
3.1 Les divers Temps dans les circuits logiques programmables	149
3.2 Fréquence maximale de fonctionnement (fmax)	151
3.3 Notion de Métastabilité	154
<hr/>	
CHAPITRE VI - Modèles de représentation des systèmes électroniques complexes	157
1. L'UTILISATION DE MODELES DE REPRESENTATION	157
2. MODELE COMBINATOIRE : table de vérité à variables introduites	158
3. MODELE SEQUENTIEL A UN ETAT ACTIF : Machine à états finis	159
3.1 Deux éléments distincts : Evolution et Génération des actions	159
3.2 Le graphe d'états	159
3.3 La génération des actions	161
3.4 Remarques sur la mise en œuvre d'une machine à états en électronique numérique	166
3.5 Mise en œuvre des MAE par équations	167
4. MODELE SEQUENTIEL AVEC DU PARALLELISME D'EVOLUTION : GRAFCET	170
4.1 Généralités	170
4.2 Les éléments de représentation du Grafcet	171
4.3 Les motifs de base	172
4.4 Les règles d'évolution	173
4.5 Les actions dans un Grafcet	175
4.6 Exemples de Grafcet	177
<hr/>	
CHAPITRE VII - Un langage de haut niveau de description des systèmes électronique numériques : le VHDL	179
1. UN LANGAGE DE DESCRIPTION	179
2. APPROCHE GENERALE DU LANGAGE VHDL	180
3. LE LANGAGE VHDL	181

3.1 Notations et considérations élémentaires	181
3.2 Les types du langage et déclaration de type	182
3.3 Les mots réservés en VHDL	184
3.4 Les objets du langage et les déclarations	185
3.5 Les opérateurs du VHDL	186
3.6 Les expressions	187
3.7 Approche générale d'un système en VHDL	189
3.8 Notion de composant	191
3.9 Notions de bibliothèques et notion de package	191
3.10 Structure des fichiers VHDL	193
4. LES INSTRUCTIONS	193
4.1 Instructions du mode concurrent (IMC)	193
4.2 Instructions du mode séquentiel (IMS)	200
4.3 Instructions de boucle du mode séquentiel	204
4.4 Exemples simples d'utilisation des instructions de base	205
<hr/>	
CHAPITRE VIII - Mise en œuvre des modèles en VHDL	211
1. DESCRIPTION EN VHDL DU MODELE COMBINATOIRE	211
1.1 Introduction	211
1.2 Règles générales	211
1.3 Méthodes	212
2. DESCRIPTION EN VHDL DU MODELE SEQUENTIEL SIMPLE	216
2.1 Modèle séquentiel asynchrone (cas simple)	216
2.2 Modèle séquentiel synchrone simple	216
3. DESCRIPTION EN VHDL DU MODELE MACHINE A ETATS	226
3.1 Schéma général de mise en œuvre	226
3.2 Codage de la machine à états	227
3.3 Exemple complet de mise en œuvre d'une MAE	231
4. DESCRIPTION EN VHDL DU MODELE GRAFCET	232
4.1 Schéma général de mise en œuvre	232
4.2 Codage du grafcet en VHDL	233
5. EXERCICES	242
5.1 Modèle combinatoire	242
5.2 Modèle séquentiel simple	243
5.3 Modèle Machine à états	244
5.4 Modèle Grafcet	244
5.5 Éléments de correction des exercices	246
<hr/>	
CHAPITRE IX - Approche structurée des systèmes complexes	257
1. SYSTEMES COMPLEXES	258
1.1 Approche composant	258
1.2 L'architecture	258
1.3 Représentation du système	260
2. SYSTEMES SYNCHRONES	264
2.1 Vue externe et interne d'un système synchrone complexe	265
2.2 Rôles, attributs et utilisation des entrées et des sorties d'un système synchrone	265
2.3 Approche de construction d'un système synchrone	269

	13
3. SYSTEMES MULTI-HORLOGES	273
3.1 Interface de synchronisation de type FIFO	273
3.2 Interface de synchronisation de type poignée de main (handshake)	275
4. SYSTEMES MIXTES : MICROCONTROLEUR-FPGA	276
5. EXEMPLES D'APPLICATION	279
5.1 Compteur BCD modulo 60	279
5.2 Compteur complexe	284
<hr/>	
CHAPITRE X - Exercices de synthèse	295
1. SYSTEMES COMBINATOIRES	295
1.1 Unité de calcul	295
1.2 Correction du résultat d'un calcul	297
1.3 Additionneur soustracteur BCD	298
2. SYSTEMES COMPLEXES	299
2.1 Gestion de feux de carrefour	299
2.2 Générateur de signaux PWM	307
2.3 L'unité Capture	311
2.4 Fréquencemètre – Périodemètre à changement automatique de gamme	314
2.5 Communication série synchrone type SPI (Serial Peripheral Interface)	319
<hr/>	
INDEX	325